

日本国特許庁
JAPAN PATENT OFFICE

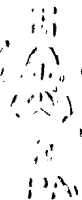
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月28日
Date of Application:

出願番号 特願2003-091677
Application Number:
[ST. 10/C]: [JP2003-091677]

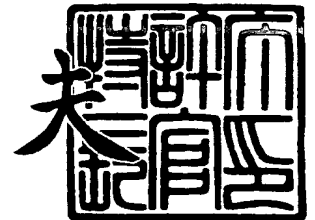
出願人 TDK株式会社
Applicant(s):



2004年 2月12日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3008742

【書類名】 特許願

【整理番号】 99P04913

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/00

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 松浦 研

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 上松 武

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 川崎 浩司

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 今井 考一

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 三浦 幸一郎

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100108213

【弁理士】

【氏名又は名称】 阿部 豊隆

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源装置用制御装置及びスイッチング電源装置

【特許請求の範囲】

【請求項 1】 スイッチング電源装置のスイッチング素子を制御するための駆動信号の時比率を検出し、当該時比率に対応した信号を生成する時比率生成手段と、

スイッチング電源装置における目標電圧とスイッチング電源装置で検出された出力電圧との差分値に基づいて制御信号を生成する制御信号生成手段と、

前記時比率に対応した信号と前記制御信号との乗算値に対応した信号を生成する演算手段と、

前記演算手段で生成した信号に基づいて駆動信号を生成する駆動信号生成手段と

を含むことを特徴とするスイッチング電源装置用制御装置。

【請求項 2】 前記制御信号生成手段は、前記差分値に対してスイッチング電源装置用制御装置における位相を補償するための処理を行う位相補償手段を含むことを特徴とする請求項 1 に記載するスイッチング電源装置用制御装置。

【請求項 3】 前記制御信号生成手段は、前記差分値に対してスイッチング電源装置用制御装置における利得を調整するための処理を行う利得調整手段を含むことを特徴とする請求項 1 に記載するスイッチング電源装置用制御装置。

【請求項 4】 前記時比率に対応した信号とスイッチング電源装置で検出された出力電圧とに基づいて利得調整値を設定する利得調整値設定手段を含み、

前記演算手段は、前記利得調整値と前記制御信号との乗算値に対応した信号を生成することを特徴とする請求項 1～請求項 3 のいずれか 1 項に記載するスイッチング電源装置用制御装置。

【請求項 5】 スイッチング電源装置で検出された出力電圧を平均化する出力電圧平均化手段を含み、

前記利得調整値設定手段は、前記時比率に対応した信号と前記出力電圧平均化手段で平均化した出力電圧とに基づいて利得調整値を設定することを特徴とする請求項 4 に記載するスイッチング電源装置用制御装置。

【請求項 6】 前記時比率に対応した信号とスイッチング電源装置における目標電圧とに基づいて利得調整値を設定する利得調整値設定手段を含み、

前記演算手段は、前記利得調整値と前記制御信号との乗算値に対応した信号を生成することを特徴とする請求項 1～請求項 3 のいずれか 1 項に記載するスイッチング電源装置用制御装置。

【請求項 7】 前記時比率生成手段は、前記検出した時比率を平均化する時比率平均化手段を含み、

前記利得調整値設定手段は、前記時比率平均化手段で平均化した時比率とスイッチング電源装置における目標電圧とに基づいて利得調整値を設定することを特徴とする請求項 6 に記載するスイッチング電源装置用制御装置。

【請求項 8】 前記時比率平均化手段は、ローパスフィルタであることを特徴とする請求項 7 に記載するスイッチング電源装置用制御装置。

【請求項 9】 前記時比率生成手段は、カウンタを含み、

前記カウンタは、一定時間毎にカウントし、前記駆動信号における前記スイッチング素子のオン期間を検出することを特徴とする請求項 1～請求項 8 のいずれか 1 項に記載するスイッチング電源装置用制御装置。

【請求項 10】 前記時比率生成手段は、遅延器を含み、

前記遅延器は、前記演算手段で生成した信号を所定時間保存することを特徴とする請求項 1～請求項 8 のいずれか 1 項に記載するスイッチング電源装置用制御装置。

【請求項 11】 スイッチング電源装置における目標電圧とスイッチング電源装置で検出された出力電圧との差分値を積分した積分制御値を生成する積分制御手段を含み、

前記時比率生成手段は前記積分制御手段からなり、前記積分制御手段で生成した積分制御値が前記時比率に対応した信号であることを特徴とする請求項 1～7 のいずれか 1 項に記載するスイッチング電源装置用制御装置。

【請求項 12】 前記利得調整値設定手段は、除算器を含み、

前記除算器は、前記時比率生成手段で生成した時比率に対応した信号を、スイッチング電源装置で検出された出力電圧、前記出力電圧平均化手段で平均化した

出力電圧又はスイッチング電源装置における目標電圧で除算し、前記利得調整値を設定することを特徴とする請求項 4 ～請求項 1 1 のいずれか 1 項に記載するスイッチング電源装置用制御装置。

【請求項 1 3】 前記利得調整値設定手段は、変換手段と、乗算器とを含み、

前記変換手段は、スイッチング電源装置で検出された出力電圧、前記出力電圧平均化手段で平均化した出力電圧又はスイッチング電源装置における目標電圧に対して変換値を設定し、

前記乗算器は、前記変換手段により設定された変換値を前記時比率生成手段で生成した時比率に対応した信号に乗算し、前記利得調整値を設定することを特徴とする請求項 4 ～請求項 1 1 のいずれか 1 項に記載するスイッチング電源装置用制御装置。

【請求項 1 4】 前記変換手段は、スイッチング電源装置で検出された出力電圧、前記出力電圧平均化手段で平均化した出力電圧又はスイッチング電源装置における目標電圧に対して線形に減少する変換値を設定することを特徴とする請求項 1 3 に記載するスイッチング電源装置用制御装置。

【請求項 1 5】 スイッチング素子をスイッチング制御するための駆動信号を生成する制御装置と、

前記制御装置で生成した駆動信号に基づいてオン／オフするスイッチング素子と

を含み、

前記制御装置は、請求項 1 ～請求項 1 4 のいずれか 1 項に記載する制御装置であることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、スイッチング電源装置用制御装置及びスイッチング電源装置に関する。

【0 0 0 2】

【従来の技術】

スイッチング電源装置は、小型軽量かつ高効率等の特長を有しており、各種機器に組み込まれているマイコンやパソコン等の電源として幅広く利用されている。これらパソコン等では、低電圧化及び高速処理化が進み、消費電流が増加する一方である。そのため、スイッチング電源装置では、パソコン等における処理負荷に応じて、負荷電流が急減に増大したりあるいは減少したりする。また、スイッチング電源装置は、広い入力電圧範囲に対応が容易という特長を有しており、世界数カ国で対応可能な電源や入力電圧の仕様設定が広い電源としても利用されている。スイッチング電源装置では、このような負荷電流や入力電圧の変化に対して安定した出力電圧を補償する必要がある。さらに、負荷電流や入力電圧の急激な変化に対して出力電圧が過渡応答となった場合でも、スイッチング電源装置では、安定した状態に迅速に回復することが求められている。

【0003】

そのために、スイッチング電源装置は、デジタル制御方式のコントローラ I C [Integrated Circuit]等の制御装置を備えており、この制御装置により F E T [Field Effect Transistor]等のスイッチング素子を高速にオン／オフする（非特許文献 1 参照）。制御装置では、電圧モード制御や電流モード制御によるフィードバック制御により、スイッチング電源装置の出力電圧等に基づいてスイッチング素子をオン／オフするための P W M [Pulse Width Modulation]信号を生成している。この制御装置の利得を G_c とした場合、スイッチング電源装置を含めた系全体の利得は利得 G_c に入力電圧 V_I を乗算した値となる。

【0004】**【非特許文献 1】**

原田 耕介、二宮 保、顧 文建 共著、「スイッチングコンバータの基礎」、コロナ社

【0005】**【発明が解決しようとする課題】**

しかしながら、従来のスイッチング電源装置では、入力電圧 V_I が変化した場合、その変化に応じて系全体の利得 ($= G_c \times V_I$) が変化する。そのため、入

力電圧 V_I が低い場合、系全体の利得が小さくなり、定常偏差が増加し、応答が悪くなる。また、入力電圧 V_I が高い場合、系全体の利得が大きくなり、出力電圧が発振する恐れがある。スイッチング電源装置の仕様として広い入力電圧範囲が設定されている場合、通常、発振をしないように制御装置を設計するので、入力電圧 V_I が高い場合を想定して利得 G_c を設定している。つまり、利得 G_c を低めに設定している。その場合には、入力電圧 V_I が高いときの発振を防止することはできるが、入力電圧 V_I が低くなると応答が悪くなる。

【0006】

そこで、本発明は、入力電圧が変化した場合でも系全体の利得を安定化するスイッチング電源装置用制御装置及びスイッチング電源装置を提供することを課題とする。

【0007】

【課題を解決するための手段】

本発明に係るスイッチング電源装置用制御装置は、スイッチング電源装置のスイッチング素子を制御するための駆動信号の時比率を検出し、当該時比率に対応した信号を生成する時比率生成手段と、スイッチング電源装置における目標電圧とスイッチング電源装置で検出された出力電圧との差分値に基づいて制御信号を生成する制御信号生成手段と、時比率に対応した信号と制御信号との乗算値に対応した信号を生成する演算手段と、演算手段で生成した信号に基づいて駆動信号を生成する駆動信号生成手段とを含むことを特徴とする。

【0008】

このスイッチング電源装置用制御装置は、フィードバック制御によって出力電圧を目標電圧に制御するために、制御信号生成手段により目標電圧とスイッチング電源装置の実際の出力電圧との差分値に基づいて制御信号を生成する。また、制御装置では、時比率生成手段により駆動信号の時比率を検出し、その検出した時比率に対応した信号を生成する。さらに、制御装置では、演算手段により制御信号と時比率に対応した信号との乗算値に対応した信号を生成する。そして、制御装置では、駆動信号生成手段により演算手段で生成した信号に基づいて駆動信号を生成する。制御装置では、制御装置の出力である時比率をフィードバックさ

せ、この時比率により入力電圧を推定し、この推定値を利用して制御装置における利得を調整する。スイッチング電源装置を含む系全体としての利得は、制御装置の利得に入力電圧を乗算した値である。ここで、系全体の利得において入力電圧と入力電圧の推定値とが相殺されるように制御装置の利得を調整する。そのため、この制御装置では、入力電圧が変化した場合でも、スイッチング電源装置の系全体としての利得が安定化する。なお、時比率生成手段としては、制御装置が出力する駆動信号から時比率を直接検出する手段として構成される場合、制御装置内で演算した値（例えば、演算手段で演算した値、積分制御による積分制御値）を用いる手段として構成される場合がある。

【0009】

なお、駆動信号は、スイッチング電源装置のスイッチング素子をオン／オフするための信号であり、例えば、PWM信号である。制御信号は、フィードバック制御を行うための信号であり、スイッチング電源装置において実際に検出した出力電圧と目標電圧とに基づく信号である。時比率は、駆動信号の一周期に占めるスイッチング素子をオンさせる期間の割合（つまり、スイッチング動作の一周期に占めるオン期間の割合）であり、例えば、PWM信号の一周期毎のパルス幅やデューティ比が時比率に相当する。時比率に対応した信号は、時比率を表す様々な信号であり、例えば、駆動信号から実際に検出した時比率の信号、その検出した時比率を平均化した信号、時比率や時比率の平均値に相当する制御装置内で演算した値である。

【0010】

ちなみに、制御装置の伝達関数は、制御信号生成手段の伝達関数によって変化する。制御信号生成手段の伝達関数を調整することによって、低周波利得を高くすることにより定常的な出力電圧精度を確保し、高周波利得と位相を調整することにより高速応答と系の安定性を両立させる。

【0011】

本発明の上記スイッチング電源装置用制御装置は、制御信号生成手段が、差分値に対してスイッチング電源装置用制御装置における位相を補償するための処理を行う位相補償手段を含む構成としてもよい。

【0012】

このスイッチング電源装置用制御装置では、位相補償手段により目標電圧と出力電圧との差分値に制御装置における位相を補償するための処理を行い、制御信号を生成する。位相補償手段としては、例えば、ハイパスフィルタを適用でき、ハイパスフィルタを適用した場合には制御装置の伝達関数の位相が進む。

【0013】

本発明の上記スイッチング電源装置用制御装置は、制御信号生成手段が、差分値に対してスイッチング電源装置用制御装置における利得を調整するための処理を行う利得調整手段を含む構成としてもよい。

【0014】

このスイッチング電源装置用制御装置では、利得調整手段により目標電圧と出力電圧との差分値に制御装置における利得を調整するための処理を行い、制御信号を生成する。利得調整手段としては、例えば、乗算器を適用でき、乗算器を適用した場合には制御装置の伝達関数の利得が変化し、また、積分器を適用でき、積分器を適用した場合には制御装置の伝達関数の低周波利得が増加し、また、ローパスフィルタを適用でき、ローパスフィルタを適用した場合には制御装置の伝達関数の高周波利得が減少する。

【0015】

本発明の上記スイッチング電源装置用制御装置は、時比率に対応した信号とスイッチング電源装置で検出された出力電圧とに基づいて利得調整値を設定する利得調整値設定手段を含み、演算手段を、利得調整値と制御信号との乗算値に対応した信号を生成する構成としてもよい。

【0016】

このスイッチング電源装置用制御装置では、利得調整値設定手段により時比率に対応した信号と出力電圧とに基づいて利得調整値を設定する。そして、この制御装置では、演算手段により利得調整値と制御信号との乗算値に対応した信号を生成する。このように、制御装置は、時比率に対応した信号と出力電圧とから入力電圧の平均値を推定している。

【0017】

本発明の上記スイッチング電源装置用制御装置は、スイッチング電源装置で検出された出力電圧を平均化する出力電圧平均化手段を含み、利得調整値設定手段を、時比率に対応した信号と出力電圧平均化手段で平均化した出力電圧とに基づいて利得調整値を設定する構成にすると好適である。

【0018】

このスイッチング電源装置用制御装置では、出力電圧平均化手段により出力電圧を平均化する。そして、この制御装置では、利得調整値設定手段により時比率に対応した信号と平均化した出力電圧とにより利得調整値を設定する。出力電圧が変動する場合、制御装置では、出力電圧を平均化することにより、高精度に入力電圧の平均値を推定することができる。

【0019】

本発明の上記スイッチング電源装置用制御装置は、時比率に対応した信号とスイッチング電源装置における目標電圧とに基づいて利得調整値を設定する利得調整値設定手段を含み、演算手段を、利得調整値と制御信号との乗算値に対応した信号を生成する構成としてもよい。

【0020】

このスイッチング電源装置用制御装置では、利得調整値設定手段により時比率に対応した信号と目標電圧とに基づいて利得調整値を設定する。そして、この制御装置では、演算手段により利得調整値と制御信号との乗算値に対応した信号を生成する。このように、制御装置は、時比率に対応した信号と目標電圧とから入力電圧の平均値を推定している。そのため、この制御装置では、実際の出力電圧を用いることなく入力電圧の平均値を推定できるので、構成を簡単化できる。

【0021】

本発明の上記スイッチング電源装置用制御装置は、時比率生成手段が、検出した時比率を平均化する時比率平均化手段を含み、利得調整値設定手段を、時比率平均化手段で平均化した時比率とスイッチング電源装置における目標電圧とに基づいて利得調整値を設定する構成にすると好適である。

【0022】

このスイッチング電源装置用制御装置では、時比率平均化手段により検出した

時比率を平均化する。そして、この制御装置では、利得調整値設定手段により平均化した時比率と目標電圧により利得調整値を設定する。時比率が変動する場合、制御装置では、時比率を平均化することにより、高精度に入力電圧の平均値を推定することができる。

【0023】

なお、目標電圧を複数設定できるスイッチング電源装置では、（時比率／出力電圧）又は（時比率／目標電圧）が入力電圧の逆数に比例する。

【0024】

本発明の上記スイッチング電源装置用制御装置は、時比率平均化手段を、ローパスフィルタで構成してもよい。

【0025】

このスイッチング電源装置用制御装置は、検出した時比率をローパスフィルタに入力し、ローパスフィルタにより過去に入力された時比率を平均化する。この制御装置では、ローパスフィルタの平均化機能を利用して簡単に平均化手段を構成することができる。

【0026】

本発明の上記スイッチング電源装置用制御装置は、時比率生成手段が、カウンタを含み、カウンタを、一定時間毎にカウントし、駆動信号におけるスイッチング素子のオン期間を検出するように構成してもよい。

【0027】

このスイッチング電源装置用制御装置は、カウンタに制御装置から出力する駆動信号をフィードバックする。そして、制御装置では、カウンタにより制御装置のマスタクロック等の一定時間毎にカウントし、駆動信号におけるスイッチング素子のオン期間を検出する。このカウントした値が時比率に相当するので、この制御装置は、カウンタにより簡単に時比率生成手段を構成することができる。

【0028】

本発明の上記スイッチング電源装置用制御装置は、時比率生成手段が、遅延器を含み、遅延器を、演算手段で生成した信号を所定時間保存するように構成してもよい。

【0029】

このスイッチング電源装置用制御装置は、遅延器に演算手段で生成した信号をフィードバックする。そして、制御装置では、遅延器によりその演算手段で生成した信号を所定時間保存し、この保存している信号により時比率に対応した信号を生成する。この演算手段で生成した信号の値が時比率に相当するので、この制御装置は、遅延器により簡単に時比率生成手段を構成することができる。

【0030】

本発明の上記スイッチング電源装置用制御装置は、スイッチング電源装置における目標電圧とスイッチング電源装置で検出された出力電圧との差分値を積分した積分制御値を生成する積分制御手段を含み、時比率生成手段が積分制御手段からなり、積分制御手段で生成した積分制御値が時比率に対応した信号としてもよい。

【0031】

このスイッチング電源装置用制御装置は、積分制御を含んでおり、その積分制御手段により目標電圧と出力電圧との差分値を積分し、積分制御値を生成する。この積分制御値は時比率の平均値に対応した信号に相当するので、制御装置では、演算手段により積分制御値と制御信号との乗算値に対応した信号を生成する。このように、制御装置では、積分制御手段が時比率の生成及び平均化の手段を兼ねるので、利得を調整するための構成を簡単化できる。

【0032】

本発明の上記スイッチング電源装置用制御装置は、利得調整値設定手段が、除算器を含み、除算器を、時比率生成手段で生成した時比率に対応した信号を、スイッチング電源装置で検出された出力電圧、出力電圧平均化手段で平均化した出力電圧又はスイッチング電源装置における目標電圧で除算し、利得調整値を設定するように構成してもよい。

【0033】

このスイッチング電源装置用制御装置は、利得調整値設定手段の具体的な構成として除算器を有しており、除算器により、時比率に対応した信号を、出力電圧、出力電圧の平均値又は目標電圧で除算し、利得調整値を設定する。

【0034】

本発明の上記スイッチング電源装置用制御装置は、利得調整値設定手段が、変換手段と、乗算器とを含み、変換手段を、スイッチング電源装置で検出された出力電圧、出力電圧平均化手段で平均化した出力電圧又はスイッチング電源装置における目標電圧に対して変換値を設定し、乗算器を、変換手段により設定された変換値を時比率生成手段で生成した時比率に対応した信号に乗算し、利得調整値を設定するように構成してもよい。

【0035】

このスイッチング電源装置用制御装置は、利得調整値設定手段の具体的な構成として変換手段と乗算器を有しており、この変換手段によって出力電圧、出力電圧の平均値又は目標電圧に対する変換値を設定する。そして、この制御装置では、乗算器により時比率に対応した信号に変換手段によって設定された変換値に乗算し、利得調整値を設定する。そのため、制御装置では、利得調整値を設定するために回路構成が複雑な除算器を必要としないので、回路構成を簡単化できる。変換手段としては、出力電圧、出力電圧の平均値又は目標電圧に対する変換値が設定されたテーブル等がある。

【0036】

本発明の上記スイッチング電源装置用制御装置は、変換手段を、スイッチング電源装置で検出された出力電圧、出力電圧平均化手段で平均化した出力電圧又はスイッチング電源装置における目標電圧に対して線形に減少する変換値を設定するように構成すると好適である。

【0037】

このスイッチング電源装置用制御装置は、変換手段により出力電圧、出力電圧の平均値又は目標電圧に対して線形に減少する変換値を設定する。このように、変換手段において出力電圧の平均値等の逆数ではなく、線形に減少する一次関数値を変換値とすることにより、系全体の利得のばらつきが小さくなる。これは、スイッチング電源回路における内部損失等が要因となって、最適な値が出力電圧の平均値等の逆数値からずれると考えられる。なお、一次関数値の場合、変換手段をマイナスの比例係数を有する乗算器と切片を加算する加算器により構成でき

、回路構成を簡単化できる。

【0 0 3 8】

本発明に係るスイッチング電源装置は、スイッチング素子をスイッチング制御するための駆動信号を生成する制御装置と、制御装置で生成した駆動信号に基づいてオン／オフするスイッチング素子とを含み、制御装置が、上記のいずれかの制御装置であることを特徴とする。

【0 0 3 9】

このスイッチング電源装置は、制御装置を上記制御装置の構成とし、時比率に対応した信号（特に、時比率に対応した信号と出力電圧又は目標電圧）によって調整された利得に基づいて生成された駆動信号によりスイッチング素子をオン／オフする。そして、このスイッチング電源装置では、目標電圧となるように、スイッチング素子のオン／オフにより入力電圧を出力電圧に変換する。上記制御装置によって制御されることにより、このスイッチング電源装置では、系全体の利得が制御装置の利得となり、入力電圧が変化した場合でも系全体としての利得が安定化する。

【0 0 4 0】

【発明の実施の形態】

以下、図面を参照して、本発明に係るスイッチング電源装置用制御装置及びスイッチング電源装置の実施の形態を説明する。

【0 0 4 1】

本実施の形態では、本発明に係るスイッチング電源装置を降圧型のDC／DCコンバータに適用し、本発明に係るスイッチング電源装置用制御装置をDC／DCコンバータのスイッチング素子を制御するためのPWM信号を生成するコントローラICに適用する。本実施の形態に係るコントローラICは、高速で処理を行うデジタル制御式であり、電圧モード制御によりDC／DCコンバータをフィードバック制御する。本実施の形態には、制御の違い、時比率生成手段の構成の違いあるいは利得調整値設定手段の構成の違いにより4つの実施の形態があり、第1の実施の形態ではP[Proportional]制御（比例制御）であり、時比率生成手段をカウンタで構成するとともに利得調整値設定手段を除算器で構成し、第2の

実施の形態では第1の実施の形態に対して時比率生成手段をDフリップフロップ回路で構成した点が異なり、第3の実施の形態では第1の実施の形態に対して利得調整値設定手段をテーブルと乗算器で構成した点が異なり、第4の実施の形態では第1の実施の形態に対してP I [Proportional Integral]制御（比例積分制御）であり、そのI制御の構成が時比率の生成及び平均化の手段を兼ねる点異なる。

【0042】

図1を参照して、DC/DCコンバータ1の構成について説明する。図1は、DC/DCコンバータの構成図である。

【0043】

DC/DCコンバータ1は、直流の入力電圧 V_I を直流の出力電圧 V_O ($< V_I$) に変換する電源回路であり、様々な用途で使用でき、例えば、VRM [Voltage Regulator Module] で使用される。また、DC/DCコンバータ1は、PWM制御によりスイッチング素子をオン/オフするスイッチングレギュレータである。入力電圧 V_I は、可変であり、入力電圧範囲（例えば、5～12V）が設定されている。出力電圧 V_O は、負荷Lに応じて一定の目標電圧（例えば、1V）が設定されている。負荷Lは、例えば、コンピュータやルータ等の通信機器などのCPU、MPU、DSPが相当し、処理負荷に応じて負荷電流が大きく変動する負荷である。

【0044】

DC/DCコンバータ1は、主な構成として、2個のFET等のスイッチング素子2、3、インダクタンス4、コンデンサ5、A/Dコンバータ6及びコントローラIC7を備えている。スイッチング素子2は、コントローラIC7からのPWM信号がハイ信号のときにオンする。スイッチング素子3は、PWM信号がロー信号のときにオンする。インダクタンス4及びコンデンサ5は、平滑回路を構成する。スイッチング素子2、3のスイッチング動作によって振幅が入力電圧 V_I に等しいパルス状電圧が平滑回路に出力され、平滑回路においてそのパルス状電圧を平均化する。A/Dコンバータ6は、電圧センサ（図示せず）で検出したアナログの出力電圧 V_O をデジタルの出力電圧 V_O に変換し、コントローラIC

7に出力する。コントローラ IC 7は、出力電圧 V_0 が目標電圧となるようにデジタルの出力電圧 V_0 に基づいて電圧モード制御によりPWM信号を生成し、スイッチング素子2, 3のオン/オフを制御する。

【0045】

図2～図5を参照して、第1の実施の形態に係るコントローラ IC 7 Aの構成について説明する。図2は、第1の実施の形態に係るコントローラ ICの構成図である。図3は、図2のカウンタにおけるパルス幅検出の説明図であり、(a)がマスタクロックであり、(b)がPWM信号であり、(c)がサンプルクロック信号であり、(d)がリセット信号であり、(e)がカウンタにおけるカウントアップであり、(f)が保持されるカウントアップ値(パルス幅)である。図4は、図2のローパスフィルタであり、(a)がブロック図であり、(b)が周波数-利得特性図である。図5は、図2のコントローラ ICにおける電圧モード制御の説明図であり、(a)がマスタクロックであり、(b)がランプ信号と利得調整制御信号であり、(c)がリセット信号であり、(d)がパルス幅制限信号であり、(e)がPWM信号である。

【0046】

コントローラ IC 7 Aは、マスタクロック(例えば、10MHz～100MHz)に基づいて動作するデジタル回路である。コントローラ IC 7 Aでは、P制御によるフィードバック制御により、A/Dコンバータ6で変換されたデジタルの出力電圧 V_0 と目標電圧 V_{REF} との差分値にP制御の利得 G_p を乗算して制御信号CSを生成し、制御信号CSとランプ信号LSとからPWM信号PSを生成する。特に、コントローラ IC 7 Aでは、生成したPWM信号PSをマイナーループによってフィードバックし、PWM信号PSのパルス幅D(時比率)の平均値 D_{AVG} と目標電圧 V_{REF} によりコントローラ IC 7 Aとしての利得を調整する。そのために、コントローラ IC 7 Aは、カウンタ10、ローパスフィルタ11、除算器12、減算器13、乗算器14、乗算器15、ランプ回路16、コンパレータ17、アンド回路18を備えている。なお、以下の説明におけるハイ信号はコントローラ IC 7 Aを電源電圧(例えば、5V)等が設定され、図中では1で示している。また、ロー信号は0Vが設定され、図中では0で示している。

【0047】

第1の実施の形態では、カウンタ10及びローパスフィルタ11が特許請求の範囲に記載する時比率生成手段に相当し、ローパスフィルタ11が特許請求の範囲に記載する時比率平均化手段に相当し、除算器12が特許請求の範囲に記載する利得調整値設定手段に相当し、減算器13及び乗算器14が特許請求の範囲に記載する制御信号生成手段に相当し、乗算器14が特許請求の範囲に記載する利得調整手段に相当し、乗算器15が特許請求の範囲に記載する演算手段に相当し、ランプ回路16及びコンパレータ17が特許請求の範囲に記載する駆動信号生成手段に相当する。

【0048】

カウンタ10は、PWM信号PSのパルス幅D（時比率）を検出する。そのために、カウンタ10には、コントローラIC7Aで生成しているPWM信号PS及びリセット信号RSとサンプルクロック信号SSが入力される。カウンタ10では、PWM信号PSがハイ信号のときにはマスタクロックMCの一周期毎にカウントアップし、PWM信号PSがロー信号のときにはカウントアップ値をホールドする（図3（a），（b），（e）参照）。そして、カウンタ10では、リセット信号RSがロー信号のときにホールドしているカウントアップ値を0にリセットする（図3（d），（e）参照）。カウンタ10では、サンプルクロック信号SSがハイ信号となったときにカウントアップ値をパルス幅Dとして保持し（図3（c），（e），（f）参照）、サンプルクロック信号SSの次周期でハイ信号となるまで保持しているパルス幅Dをローパスフィルタ11に出力する。ちなみに、パルス幅Dは、PWM信号PSの周期が一定であるので、PWM信号PSの一周期に占めるスイッチング素子2をオンさせる期間の割合を示し、時比率に相当する。

【0049】

リセット信号RSは、分周器（図示せず）によってマスタクロックMCを分周した信号であり、PWM信号PSの一周期（DC/DCコンバータ1のスイッチング周期）を規定する信号であり、PWM信号PSのロー信号からハイ信号への立ち上りを規定するパルス（マスタクロックMCの一周期分）で出力

する。PWM信号PSの周波数は、例えば、100kHz～1MHzであり、DC/DCコンバータ1におけるスイッチング周波数に相当する。また、サンプルクロック信号SSは、分周器によってマスタクロックMCを分周した信号であり、図3(c)に示すように、PWM信号PSの周期と同一周期であり、リセット信号RSによってカウントアップ値をリセットする直前の値を保持するためのパルスをハイ信号（マスタクロックMCの一周期分）で出力する。

【0050】

ローパスフィルタ11は、IIR[Infinite Impulse Response]型の1次のローパスフィルタであり、このフィルタの平均化機能により過去に入力されたパルス幅Dを無限に平均化する。ローパスフィルタ11は、図4(a)に示すように、3つの乗算器11a、11b、11c、2つのDフリップフロップ回路11d、11e及び加算器11fから構成される。乗算器11aでは、入力値 U_n にフィルタ係数 a_0 を乗算して加算器11fに出力する。Dフリップフロップ回路11dでは、入力値 U_n が入力され、サンプルクロック信号SSに基づいて入力値の前回値 U_{n-1} を保持し、乗算器11bに出力する。乗算器11bでは、入力値の前回値 U_{n-1} にフィルタ係数 a_1 を乗算して加算器11fに出力する。Dフリップフロップ回路11eでは、出力値 Y_n が入力され、サンプルクロック信号SSに基づいて出力値の前回値 Y_{n-1} を保持し、乗算器11cに出力する。乗算器11cでは、出力値の前回値 Y_{n-1} にフィルタ係数 b_1 を乗算して加算器11fに出力する。加算器11fでは、乗算器11a～11cの各乗算値を加算し、出力値 Y_n として出力する。ローパスフィルタ11は、カットオフ周波数 f_c を有し、図4(b)に示すように、低周波成分を通過させる利得特性を有し、利得が1である。

【0051】

【数1】

$$Y_n = a_0 \times U_n + a_1 \times U_{n-1} + b_1 \times Y_{n-1} \cdots (1)$$

【0052】

ローパスフィルタ11は、(1)式で表され、 U_n がカウンタ10からのパル

ス幅 D_n であり、 Y_n が過去入力されたパルス幅の平均値 D_{AVG} である。

【0053】

除算器 12 は、目標電圧 V_{REF} とパルス幅の平均値 D_{AVG} が入力され、その平均値 D_{AVG} を目標電圧 V_{REF} で除算し、その除算値 (D_{AVG}/V_{REF}) を利得調整値 G_A として乗算器 15 に出力する。

【0054】

減算器 13 は、目標電圧 V_{REF} と出力電圧 V_0 が入力され、目標電圧 V_{REF} から出力電圧 V_0 を減算し、その減算値 ($V_{REF} - V_0$) を乗算器 14 に出力する。

【0055】

乗算器 14 は、減算値 ($V_{REF} - V_0$) が入力され、その減算値 ($V_{REF} - V_0$) に P 制御の利得 G_p を乗算し、その乗算値 $G_p (V_{REF} - V_0)$ を制御信号 C_S として乗算器 15 に出力する。

【0056】

乗算器 15 は、利得調整値 G_A と制御信号 C_S が入力され、制御信号 C_S に利得調整値 G_A を乗算し、その乗算値を利得調整制御信号 G_{CS} としてコンパレータ 17 に出力する。ここでは、P 制御の利得 G_p に利得調整値 G_A が乗算され、コントローラ IC7A としての利得 G_c が $G_p \times (D_{AVG}/V_{REF})$ となる。

【0057】

ランプ回路 16 は、ランプ係数が 1 のランプ信号 L_S を生成する。そのために、ランプ回路 16 には、リセット信号 RS が入力される。ランプ回路 16 では、マスタクロック MC の一周期毎にランプ係数 1 によりカウントアップする (図 5 (a), (b) 参照)。そして、ランプ回路 16 では、リセット信号 RS がロー信号のときにカウントアップ値を 0 にリセットする (図 5 (b), (c) 参照)。このように、ランプ信号 L_S は、ランプ係数 1 で増加し、PWM 信号 PS がロー信号からハイ信号に立ち上がる直前に 0 となる信号である。

【0058】

コンパレータ 17 は、ランプ信号 L_S が利得調整制御信号 G_{CS} を超えるか否かを判定する。そのために、コンパレータ 17 には、非反転入力端子に利得調整制御信号 G_{CS} が入力され、反転入力端子にランプ信号 L_S が入力される。コン

パレータ 17 では、利得調整制御信号 GCS とランプ信号 LS とを比較し、ランプ信号 LS が利得調整制御信号 GCS を超えるまではハイ信号を出力し、ランプ信号 LS が利得調整制御信号 GCS を超えるとロー信号を出力する（図 5（b），（e）参照）。

【0059】

アンド回路 18 は、PWM 信号 PS のパルス幅を制限し、PWM 信号 PS を出力する。そのために、アンド回路 18 には、コンパレータ 17 の出力信号とパルス幅制限信号 PLS が入力される（図 5（d）参照）。アンド回路 18 では、コンパレータ 17 の出力信号がハイ信号かつパルス幅制限信号 PLS がハイ信号の場合にハイ信号を出力し、それ以外の場合にロー信号を出力する（図 5（d），（e）参照）。このハイ信号とロー信号とからなる信号が PWM 信号 PS であり、このハイ信号の期間が PWM 信号 PS のパルス幅 D である。

【0060】

パルス幅制限信号 PLS は、分周器によってマスタクロック MC を分周した信号であり、PWM 信号 PS の周期と同一周期であり、PWM 信号 PS で許容される最大のパルス幅（ひいては、DC/DC コンバータ 1 で許容される最大の出力電圧）を規定する区間をハイ信号として出力する。

【0061】

図 1～図 5 を参照して、コントローラ IC7A 及び DC/DC コンバータ 1 の動作を説明する。

【0062】

DC/DC コンバータ 1 に入力電圧 V_I が入力される。すると、DC/DC コンバータ 1 では、コントローラ IC7A からの PWM 信号 PS に基づいてスイッチング素子 2、3 が交互にオン/オフする。さらに、DC/DC コンバータ 1 では、インダクタンス 4 及びコンデンサ 5 でスイッチング素子 2 のオン期間にパルスとなって出力する入力電圧 V_I を平均化し、電圧 V_0 を出力する。また、DC/DC コンバータ 1 では、出力電圧 V_0 を電圧センサで検出し、その検出した出力電圧 V_0 を A/D コンバータ 6 でデジタル化してコントローラ IC7A にフィードバックさせる。

【0063】

コントローラ IC7Aでは、目標電圧 V_{REF} から出力電圧 V_O を減算し、その減算値に P 制御の利得 G_p を乗算して制御信号 CS を生成する。また、コントローラ IC7Aでは、生成した PWM 信号 PS のパルス幅 D を検出し、過去に検出しているパルス幅 D を無限に平均化し、パルス幅の平均値 D_{AVG} を求める。さらに、コントローラ IC7Aでは、パルス幅の平均値 D_{AVG} を目標電圧 V_{REF} で除算し、利得調整値 GA を求める。そして、コントローラ IC7Aでは、制御信号 CS に利得調整値 GA を乗算し、利得調整制御信号 GCS を生成する。また、コントローラ IC7Aでは、ランプ係数 (= 1) によりランプ信号 LS を生成する。そして、コントローラ IC7Aでは、利得調整制御信号 GCS とランプ信号 LS とを比較し、ランプ信号 LS が利得調整制御信号 GCS を超えない期間ではハイ信号を出力し、ランプ信号 LS が利得調整制御信号 GCS を超える期間ではロー信号を出力する。最後に、コントローラ IC7Aでは、パルス幅制限信号 PLS によってパルス幅に制限をかけて、PWM 信号 PS を出力する。

【0064】

ここで、制御信号 CS (P 制御の利得 G_p) に利得調整値 GA を乗算し、コントローラ IC7A としての利得を調整する理由について説明する。以下の説明では、コントローラ IC7A の利得 (すなわち、制御系の利得) を G_c とし、DC/DC コンバータ 1 を含む系全体としての利得を G とする。

【0065】

【数 2】

$$G_c = G_p \times \left(\frac{D_{AVG}}{V_{REF}} \right) \cdots (2)$$

$$G = G_c \times V_I \cdots (3)$$

【0066】

コントローラ IC7A としての利得 G_c は、式 (2) に示すように、P 制御の利得 G_p に利得調整値 GA を乗算した値である。また、系全体としての利得 G は、式 (3) に示すように、利得 G_c に入力電圧 V_I を乗算した値である。

【0067】

【数 3】

$$D = \frac{V_o}{V_i} \dots (4)$$

$$V_i = \frac{V_o}{D} \dots (5)$$

$$V_{i_AVG} = \frac{V_{o_AVG}}{D_{AVG}} \dots (6)$$

【0068】

また、時比率（パルス幅）Dは、式（4）に示すように、出力電圧 V_o を入力電圧 V_i で除算した値である。式（4）を変形した式（5）の関係から、入力電圧 V_i は、出力電圧 V_o を時比率Dで除算した値である。したがって、入力電圧の平均値 V_{i_AVG} は、式（6）に示すように、出力電圧の平均値 V_{o_AVG} を時比率の平均値 D_{AVG} で除算した値となる。

【0069】

出力電圧 V_o は目標電圧 V_{REF} になるようにフィードバック制御されるので、出力電圧 V_o は目標電圧 V_{REF} を基準として変化する。そのため、出力電圧の平均値 V_{o_AVG} は、目標電圧 V_{REF} に等しいとみなすことができる。

【0070】

【数 4】

$$V_{i_AVG} = \frac{V_{REF}}{D_{AVG}} \dots (7)$$

【0071】

したがって、入力電圧の平均値 V_{i_AVG} は、式（7）に示すように、目標電圧 V_{REF} を時比率の平均値 D_{AVG} で除算した値となる。

【0072】

【数 5】

$$G_c = \frac{G_p}{V_{i_AVG}} \dots (8)$$

【0073】

式（2）と式（7）から、コントローラ IC7A の利得 G_c は、式（8）に示

すように、P制御の利得 G_p を入力電圧の平均値 $V_{I\#AVG}$ で除算した値となる。

【0074】

【数6】

$$G = \frac{G_p}{V_{I_AVG}} \times V_I \cdots (9)$$

$$G = G_p \cdots (10)$$

【0075】

式(3)と式(8)から、系全体の利得 G は、式(9)に示すようになる。ここで、入力電圧 V_I と入力電圧の平均値 $V_{I\#AVG}$ とは、定常的には等しいとみなせる。そのため、式(9)において入力電圧 V_I と入力電圧の平均値 $V_{I\#AVG}$ が相殺され、系全体の利得 G は、式(10)に示すように、入力電圧 V_I との比例関係がなくなり、P制御の利得 G_p となる。

【0076】

つまり、コントローラ IC7A においてP制御の利得 G_p を推定した入力電圧の平均値 $V_{I\#AVG}$ ($=V_{REF}/D_{AVG}$) で除算して利得を調整し、系全体の利得 G が入力電圧 V_I に依存しないようにしている。そのため、入力電圧 V_I が変化した場合でも、系全体としての利得 G は変化しない。ちなみに、DC/DCコンバータ1の利得は、インダクタンス4及びコンデンサ5により、周波数に応じた利得を有している。したがって、系全体の利得も、図6に示すように、低周波数領域では G_p に等しくなり、高周波数領域では周波数に応じて変化する。

【0077】

コントローラ IC7A によれば、コントローラ IC7A の出力であるパルス幅(時比率) D を制御系にフィードバックさせ、制御系の利得 G_c を入力電圧の平均値 $V_{I\#AVG}$ の逆数 (D_{AVG}/V_{REF}) で調整することによって、入力電圧 V_I が変化しても、系全体の利得 G が変化しない。そのため、コントローラ IC7A では、広い入力電圧範囲に対応可能であり、位相余裕の最適化も可能である。したがって、入力電圧 V_I が低い場合でも応答が良好であり、入力電圧 V_I が高い場合でも出力電圧が発振しない。

【0078】

また、コントローラ IC7Aでは、カウンタ10による簡単な回路構成によってPWM信号PSのパルス幅Dを検出し、回路構成が簡単な1次のローパスフィルタ11の平均化特性を利用してパルス幅Dを平均化する。さらに、コントローラ IC7Aでは、目標電圧 V_{REF} と時比率の平均値 D_{AVG} によって入力電圧の平均値を推定するので、入力電圧 V_I を検出する手段や入力電圧 V_I を平均化する手段を必要としない。また、コントローラ IC7Aでは、出力電圧 V_O の平均値として目標電圧 V_{REF} を用いているので、出力電圧 V_O を平均化する手段を必要としない。

【0079】

次に、図7及び図8を参照して、第2の実施の形態に係るコントローラ IC7Bの構成について説明する。図7は、第2の実施の形態に係るコントローラ ICの構成図である。図8は、図7のDフリップフロップ回路におけるパルス幅検出の説明図であり、(a)がPWM信号であり、(b)が利得調整制御信号であり、(c)が保持される利得調整制御信号値である。なお、コントローラ IC7Bでは、第1の実施の形態に係るコントローラ IC7Aと同様に構成については同一の符号を付し、その説明を省略する。

【0080】

コントローラ IC7Bは、第1の実施の形態に係るコントローラ IC7Aと基本的には同様の構成を有するとともに同様に動作するが、パルス幅Dを検出する構成及びパルス幅Dを検出する動作のみが異なる。コントローラ IC7Bは、Dフリップフロップ回路19、リミッタ回路20、ローパスフィルタ11、除算器12、減算器13、乗算器14、乗算器15、ランプ回路16、コンパレータ17、アンド回路18を備えている。

【0081】

なお、第2の実施の形態では、Dフリップフロップ回路19が特許請求の範囲に記載する遅延器に相当する。

【0082】

Dフリップフロップ回路19は、時比率Dを検出する。そのために、Dフリップフロップ回路19には、コントローラ IC7B内で生成している利得調整制御

信号 GCS が入力され、クロック信号として PWM 信号 PS が入力される。D フリップフロップ回路 19 では、PWM 信号 PS のパルスの立ち下がり（ハイ信号からロー信号への切り換え）のときに利得調整制御信号 GCS の値を保持し、PWM 信号 PS の次周期のパルスの立ち下がりとなるまで保持している利得調整制御信号 GCS の値をリミッタ回路 20 に出力する（図 8（a）～（c）参照）。なお、利得調整制御信号 GCS の値とランプ信号 LS の値とが同じ値になった時点で PWM 信号 PS のパルスの立ち下がり（すなわち、パルス幅 D）を規定しているため、PWM 信号 PS のパルスの立ち下がりのときの利得調整制御信号 GCS の値はパルス幅（時比率）D に相当する。

【0083】

リミッタ回路 20 は、アンド回路 18 と同様の回路であり、利得調整制御信号 GCS の値を制限する。そのために、リミッタ回路 20 には、D フリップフロップ回路 19 からの利得調整制御信号 GCS の値と時比率制限信号 RLS が入力される。リミッタ回路 20 では、利得調整制御信号 GCS の値が時比率制限信号 RLS に示される制限値以下の場合にそのまま利得調整制御信号 GCS の値を出力し、制限値より大きい場合に制限値を出力する。このリミッタ回路 20 から出力される値が、パルス幅（時比率）D である。

【0084】

図 7 及び図 8 を参照して、コントローラ IC7B の動作について説明する。ここでは、第 1 の実施の形態に係るコントローラ IC7A と異なる動作のみ説明する。

【0085】

コントローラ IC7B では、生成した PWM 信号 PS のパルスの立ち下がりのときに利得調整制御信号 GCS の値を保持し、その値に制限をかけ、パルス幅 D として出力する。そして、コントローラ IC7B では、このパルス幅 D を無限に平均化し、パルス幅平均値 D_{AVG} を求める。

【0086】

このコントローラ IC7B によれば、コントローラ IC7A と同様の効果を有し、カウンタ 10 に代えて、D フリップフロップ回路 19 による簡単な回路構成

によってパルス幅Dを検出することができる。

【0087】

次に、図9及び図10を参照して、第3の実施の形態に係るコントローラIC7Cの構成について説明する。図9は、第3の実施の形態に係るコントローラICの構成図である。図10は、図9のテーブルにおける目標電圧に対するテーブル値である。なお、コントローラIC7Cでは、第1の実施の形態に係るコントローラIC7Aと同様に構成については同一の符号を付し、その説明を省略する。

【0088】

コントローラIC7Cは、第1の実施の形態に係るコントローラIC7Aと基本的には同様の構成を有するとともに同様に動作するが、利得調整値GAを設定する構成及び利得調整値GAを設定する動作のみが異なる。コントローラIC7Cは、カウンタ10、ローパスフィルタ11、テーブル21、乗算器22、減算器13、乗算器14、乗算器15、ランプ回路16、コンパレータ17、アンド回路18を備えている。

【0089】

なお、第3の実施の形態では、テーブル21及び乗算器22が特許請求の範囲に記載する利得調整値設定手段に相当し、テーブル21が特許請求の範囲に記載する変換手段に相当する。

【0090】

テーブル21は、目標電圧 V_{REF} を変換する値としてテーブル値TVが設定されたテーブルである。テーブル21に設定されているテーブル値TVは、目標電圧 V_{REF} に対する逆数値（図10の破線で示す V_{REF} に対するTV）ではなく、目標電圧 V_{REF} を変数としたマイナスの比例係数（例えば、-1）を有する一次関数値（図10の実線で示す V_{REF} に対するTV）である。ちなみに、テーブル21は、コントローラIC7CのROM等の記憶手段に予め記憶されている。

【0091】

乗算器22は、目標電圧 V_{REF} に応じたテーブル21のテーブル値TVとローパスフィルタ11からのパルス幅の平均値 D_{AVG} が入力され、その平均値 D_{AVG} に

テーブル値 T_V を乗算し、その乗算値 $D_{AVG} \times T_V$ を利得調整値 G_A として乗算器 15 に出力する。

【0092】

図9及び図10を参照して、コントローラ IC7C の動作について説明する。ここでは、第1の実施の形態に係るコントローラ IC7A と異なる動作のみ説明する。

【0093】

コントローラ IC7C では、テーブル 21 から目標電圧 V_{REF} に対するテーブル値 T_V を読み出す。パルス幅の平均値 D_{AVG} が求められると、コントローラ IC7C では、パルス幅の平均値 D_{AVG} に読み出したテーブル値 T_V を乗算し、利得調整値 G_A を求める。そして、コントローラ IC7C では、制御信号 CS に利得調整値 G_A を乗算し、利得調整制御信号 G_{CS} を生成する。

【0094】

【数7】

$$G_c = G_p \times (D_{AVG} \times T_V) \cdots (11)$$

【0095】

コントローラ IC7C では、式 (11) に示すように、利得 G_c が P 制御の利得 G_p にパルス幅の平均値 D_{AVG} とテーブル値 T_V を乗算した値である。式 (2) と式 (11) とを比較すると、コントローラ IC7C では、コントローラ IC7A において目標電圧 V_{REF} を除算した代わり、テーブル値 T_V を乗算している。テーブル値 T_V は、目標電圧 V_{REF} のマイナスの一次関数値であり、目標電圧 V_{REF} の逆数値ではない。これは、逆数値とするより、一次関数値とすることにより、系全体としての利得 G のばらつきが少なくなるからである。この理由としては、DC/DC コンバータ 1 における各素子の内部抵抗による内部損失等が考えられる。

【0096】

図11では、目標電圧 V_{REF} に対する系全体の利得 G を実験によって求めた結果をグラフ化している。この実験では、測定時の周波数を 40 kHz とし、40

k H z 周辺で利得 G が 0 d B 程度になる DC/DC コンバータ 1 を用いている。図 11 には、テーブル 21 のテーブル値 TV を一次関数値とした場合の実験データを白抜きで示し、逆数値とした場合の実験データを黒塗りつぶしで示している。図 11 から判るように、一次関数値によるテーブル 21 を用いた方が利得 G のばらつきが小さいことが判る。

【0097】

このコントローラ IC7C によれば、コントローラ IC7A と同様の効果を有し、回路構成が複雑な除算器に代えて、テーブル 21 及び乗算器 22 による簡単な回路構成によって利得調整値 GA を設定することができる。さらに、コントローラ IC7C では、テーブル 21 のテーブル値 TV を目標電圧 V_{REF} の逆数値ではなく、一次関数値で設定することにより、系全体の利得 G のばらつきを低減することができる。

【0098】

次に、図 12 を参照して、第 4 の実施の形態に係るコントローラ IC7D の構成について説明する。図 12 は、第 4 の実施の形態に係るコントローラ IC の構成図である。なお、コントローラ IC7D では、第 1 の実施の形態に係るコントローラ IC7A と同様に構成については同一の符号を付し、その説明を省略する。

【0099】

コントローラ IC7D は、第 1 の実施の形態に係るコントローラ IC7A と基本的には同様の構成を有するとともに同様に動作するが、PI 制御であり、I 制御の構成がパルス幅の平均値 D_{AVG} を求める構成を兼ねる点のみが異なる。コントローラ IC7D は、減算器 13、乗算器 14、積分器 23、乗算器 24、除算器 25、乗算器 15、加算器 26、ランプ回路 16、コンパレータ 17、アンド回路 18 を備えている。

【0100】

なお、第 4 の実施の形態では、減算器 13、積分器 23 及び乗算器 24 が特許請求の範囲に記載する積分制御手段に相当し、積分器 23 及び乗算器 24 は特許請求の範囲に記載する利得調整手段に相当する。

【0101】

積分器 23 は、減算値 ($V_{REF} - V_0$) が入力され、その減算値 ($V_{REF} - V_0$) を時間積分し、その積分値 I_V を乗算器 24 に出力する。

【0102】

乗算器 24 は、積分値 I_V が入力され、その積分値 I_V に I 制御の利得 G_i を乗算し、その乗算値 $G_i \times I_V$ を積分制御値 I_C として加算器 26 に出力する。この積分制御値 I_C は、時比率の平均値 D_{AVG} に相当する値であり、利得調整値 G_A を求めるために除算器 25 にも出力される。

【0103】

除算器 25 は、目標電圧 V_{REF} と積分制御値 I_C (時比率の平均値) が入力され、その積分制御値 I_C を目標電圧 V_{REF} で除算し、その除算値 (I_C / V_{REF}) を利得調整値 G_A として乗算器 15 に出力する。

【0104】

加算器 26 は、乗算器 15 からの利得調整制御信号 GCS と乗算器 24 からの積分制御値 I_C が入力され、利得調整制御信号 GCS に積分制御値 I_C を加算し、積分制御を加味した利得調整制御信号 GCS' をコンパレータ 17 に出力する。

【0105】

図 12 を参照して、コントローラ IC7D の動作について説明する。ここでは、第 1 の実施の形態に係るコントローラ IC7A と異なる動作のみ説明する。

【0106】

コントローラ IC7D では、目標電圧 V_{REF} から出力電圧 V_0 を減算した際に、その減算値に P 制御の利得 G_p を乗算して制御信号 CS を生成するとともに、その減算値を時間積分し、その積分値 I_V に I 制御の利得 G_i を乗算して積分制御値 I_C を生成する。さらに、コントローラ IC7D では、積分制御値 I_C を目標電圧 V_{REF} で除算し、利得調整値 G_A を求める。そして、コントローラ IC7D では、制御信号 CS に利得調整値 G_A を乗算し、利得調整制御信号 GCS を生成する。続いて、コントローラ IC7D では、利得調整制御信号 GCS に積分制御値 I_C を加算し、P 制御に I 制御を加味した利得調整制御信号 GCS' を生成す

る。そして、コントローラ IC7Dでは、利得調整制御信号 GCS' とランプ信号 LS とを比較する。

【0107】

このコントローラ IC7Dによれば、コントローラ IC7Aと同様の効果を有し、I制御における積分制御値 IC を時比率の平均値として利用するので、時比率の平均値を求めるための手段を必要としない。また、コントローラ IC7Dでは、I制御を加味しているので、定常偏差を抑えることができる。

【0108】

以上、本発明に係る実施の形態について説明したが、本発明は上記実施の形態に限定されることなく様々な形態で実施される。

【0109】

例えば、本実施の形態では制御装置をデジタル回路で構成したが、アナログ回路で構成してもよい。また、本実施の形態ではコントローラ IC のデジタル回路（ハードウェア）によって制御装置の各手段を構成したが、マイコン等のコンピュータに組み込むプログラム（ソフトウェア）によって制御装置の各手段を構成してもよい。この各手段を実現するプログラムは、CD-ROM等の記憶媒体やインターネット等による配信によって流通する場合あるいはコンピュータに組み込まれた状態で制御装置として流通する場合もある。

【0110】

また、本実施の形態ではDC/DCコンバータに適用したが、AC/DCコンバータやDC/ACコンバータにも適用可能である。また、本実施の形態ではトランスを有しない非絶縁型かつ降圧型のコンバータに適用したが、トランスを有する絶縁型のコンバータにも適用可能であり、昇圧型又は昇降圧型のコンバータにも適用可能である。

【0111】

また、本実施の形態では時比率生成手段をPWM信号がハイ信号のときにカウントアップするカウンタ又はPWM信号のパルスの立ち下がりの利得調整制御信号の値を遅延するDフリップフロップ回路で構成したが、PWM信号がハイ信号のときにカウントダウンするカウンタ等の他の手段により構成してもよい。また

、本実施の形態では時比率平均化手段をデジタルの I I R 型の 1 次のローパスフィルタで構成したが、アナログのローパスフィルタ、F I R 型のローパスフィルタ、2 次のローパスフィルタ等の他のローパスフィルタで構成してもよいし、ローパスフィルタ以外の他の回路によって構成してもよい。

【0 1 1 2】

また、本実施の形態では P 制御及び P I 制御に適用したが、P I D 制御等の他の制御にも適用可能である。

【0 1 1 3】

また、本実施の形態では利得調整値を設定する際に目標電圧を用いる構成としたが、センサ等で検出した出力電圧を平均化する出力電圧平均化手段を備え、出力電圧の平均値と時比率の平均値とから利得調整値を設定する構成、あるいは、出力電圧の平均値と時比率とから利得調整値を設定する構成としてもよい。特に、出力電圧が安定している場合、出力電圧を平均化することなく検出した出力電圧を直接用いて、出力電圧と時比率の平均値とから利得調整値を設定する構成、あるいは、出力電圧と時比率とから利得調整値を設定する構成としてもよい。

【0 1 1 4】

また、本実施の形態では利得調整値設定手段の変換手段をテーブルで構成したが、テーブルの代わりに、マイナスの乗算係数を有する乗算器と切片を加算する加算器により変換手段を構成してもよい。また、本実施の形態ではテーブルのテーブル値として目標電圧を変数とした一次関数値を設定したが、目標電圧を変数とした逆数値を設定してもよいし、あるいは、スイッチング電源装置の特性に応じて最適な値を設定してもよい。

【0 1 1 5】

また、本実施の形態では A / D コンバータとコントローラ I C とを別体で構成したが、A / D コンバータがコントローラ I C に含まれる構成でもよい。

【0 1 1 6】

また、本実施の形態では制御信号生成手段において乗算器を用いて、コントローラ I C の伝達関数の利得を変化させ、あるいは、積分器を用いて、コントローラ I C の伝達関数の低周波利得を増加させ、利得調整手段を構成したが、ローパ

スフィルタ等の他の手段を用いて利得調整手段を構成してもよいし、あるいは、ハイパスフィルタ等を用いて位相補償手段を構成してもよい。

【 0 1 1 7 】

【発明の効果】

本発明によれば、入力電圧の平均値を推定し、その入力電圧の平均値によって利得を調整することによって、入力電圧が変化した場合でもスイッチング電源回路を含む系全体としての利得を安定化することができる。

【図面の簡単な説明】

【図 1】

本実施の形態に係る D C / D C コンバータの構成図である。

【図 2】

第 1 の実施の形態に係るコントローラ I C の構成図である。

【図 3】

図 2 のカウンタにおけるパルス幅検出の説明図であり、(a) がマスタクロックであり、(b) が P W M 信号であり、(c) がサンプルクロック信号であり、(d) がリセット信号であり、(e) がカウンタにおけるカウントアップであり、(f) が保持されるカウントアップ値 (パルス幅) である。

【図 4】

図 2 のローパスフィルタであり、(a) がブロック図であり、(b) が周波数 - 利得特性図である。

【図 5】

図 2 のコントローラ I C における電圧モード制御の説明図であり、(a) がマスタクロックであり、(b) がランプ信号と利得調整制御信号であり、(c) がリセット信号であり、(d) がパルス幅制限信号であり、(e) が P W M 信号である。

【図 6】

図 1 の D C / D C コンバータを含む系全体としての周波数 - 利得特性図である。

【図 7】

第2の実施の形態に係るコントローラICの構成図である。

【図8】

図7のDフリップフロップ回路におけるパルス幅検出の説明図であり、(a)がPWM信号であり、(b)が利得調整制御信号であり、(c)が保持される利得調整制御信号値である。

【図9】

第3の実施の形態に係るコントローラICの構成図である。

【図10】

図9のテーブルにおける目標電圧に対するテーブル値である。

【図11】

図9のコントローラICでDC/DCコンバータを制御した場合の目標電圧を変化させたときの系全体の利得を測定した実験データである。

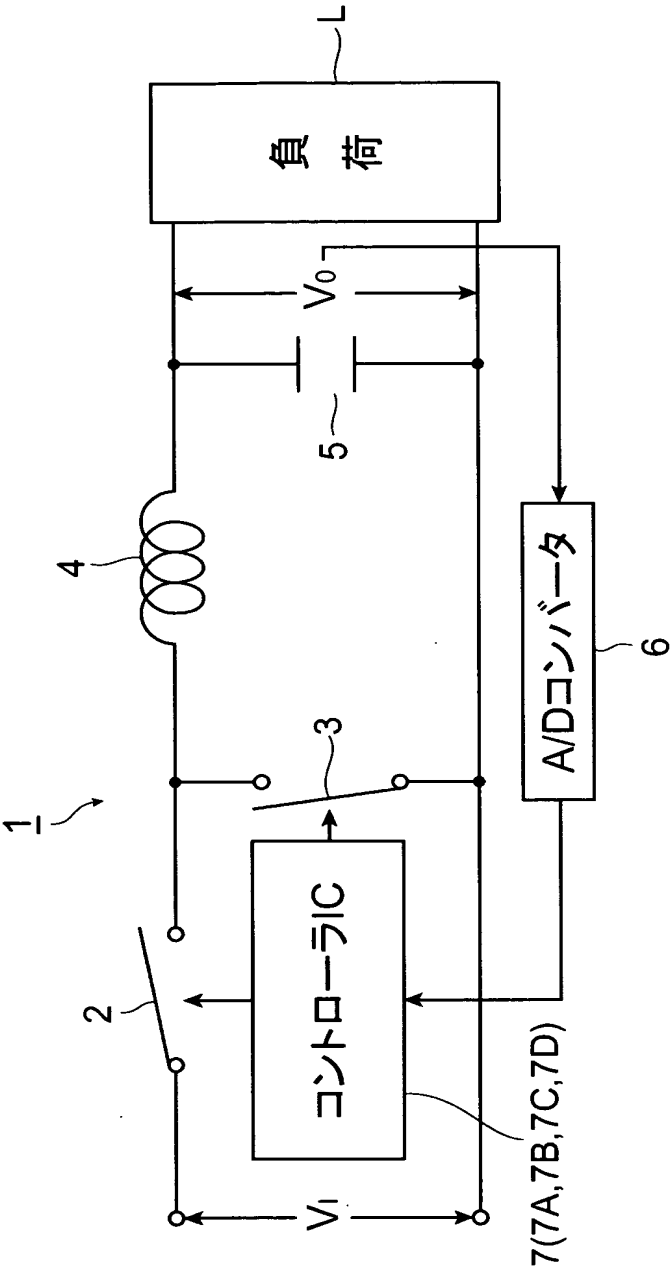
【図12】

第4の実施の形態に係るコントローラICの構成図である。

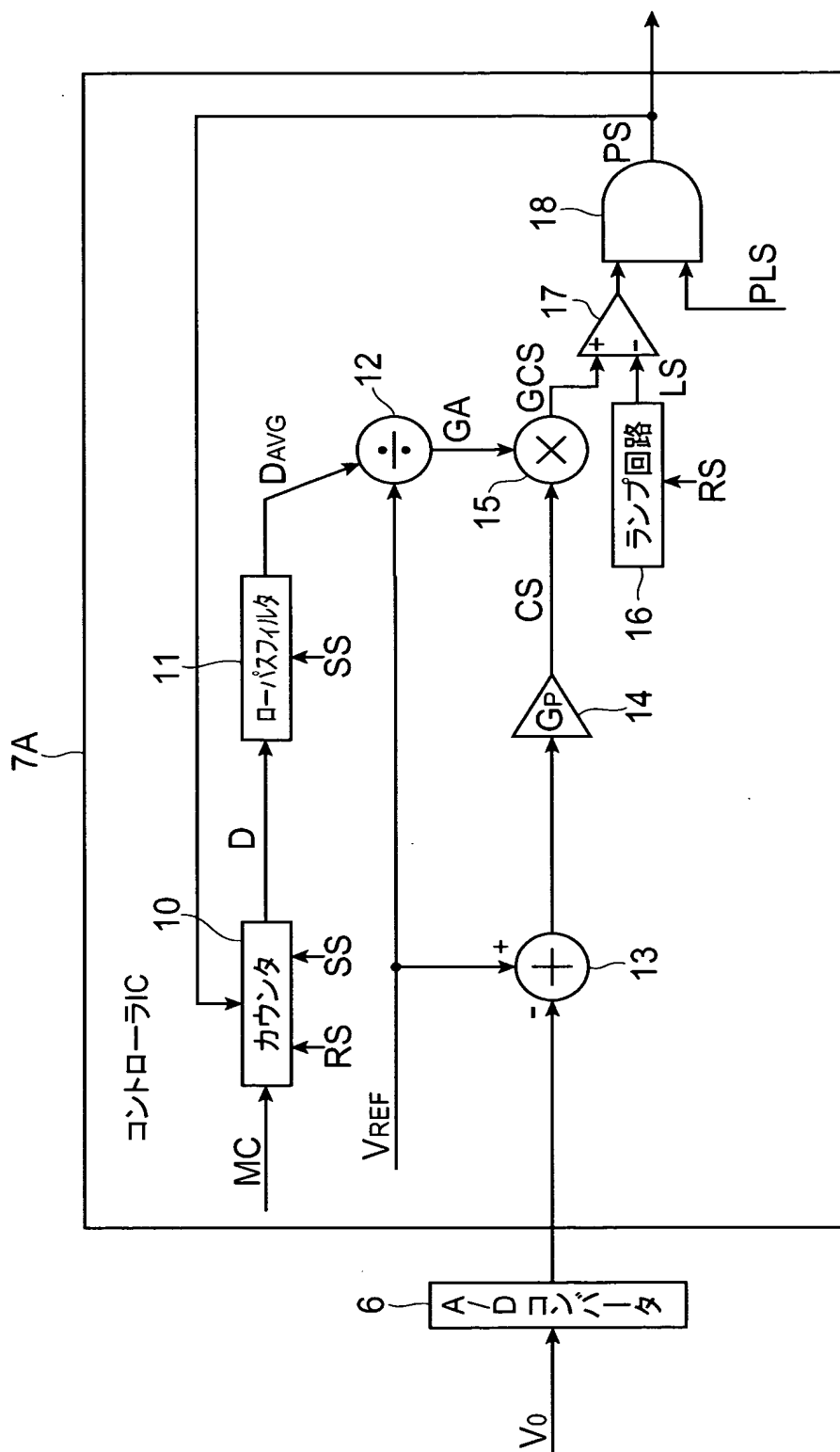
【符号の説明】

1…DC/DCコンバータ、2, 3…スイッチング素子、4…インダクタンス、5…コンデンサ、6…A/Dコンバータ、7, 7A, 7B, 7C, 7D…コントローラIC、10…カウンタ、11…ローパスフィルタ、11a, 11b, 11c…乗算器、11d, 11e…Dフリップフロップ回路、11f…加算器、12…除算器、13…減算器、14…乗算器、15…乗算器、16…ランプ回路、17…コンパレータ、18…アンド回路、19…Dフリップフロップ回路、20…リミッタ回路、21…テーブル、22…乗算器、23…積分器、24…乗算器、25…除算器、26…加算器

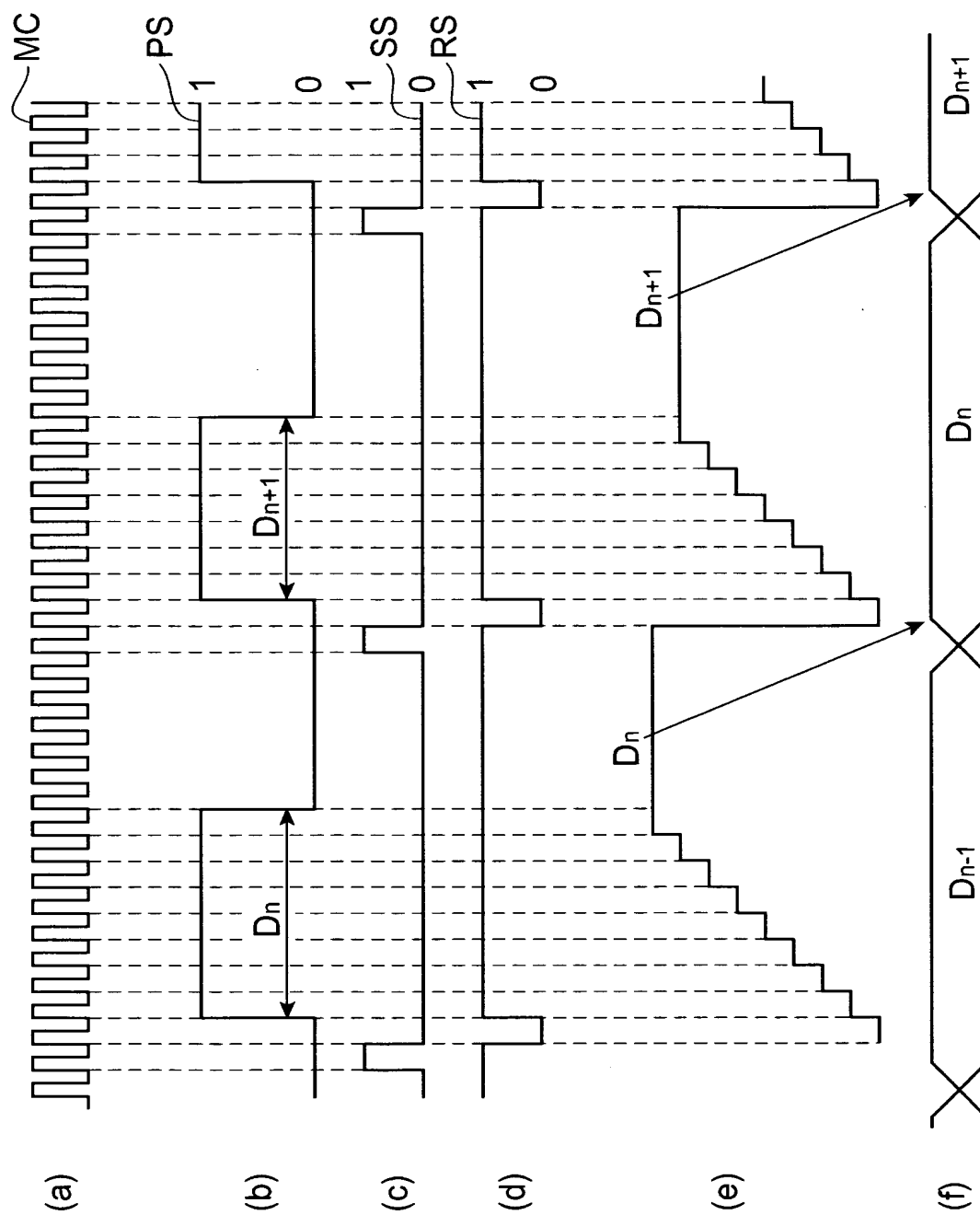
【書類名】 図面
【図 1】



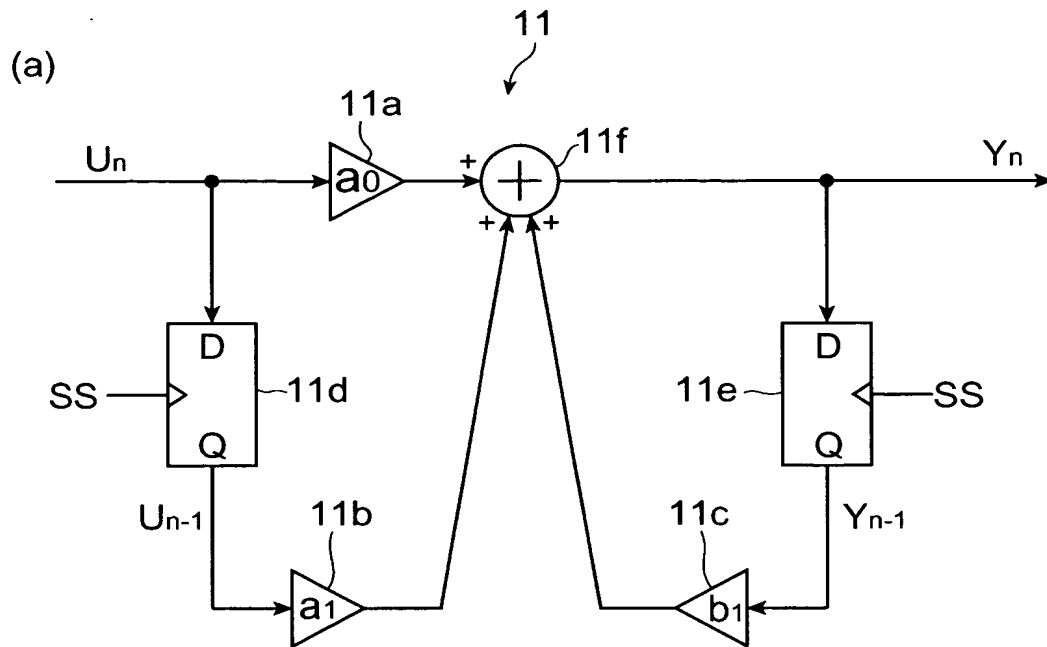
【図 2】



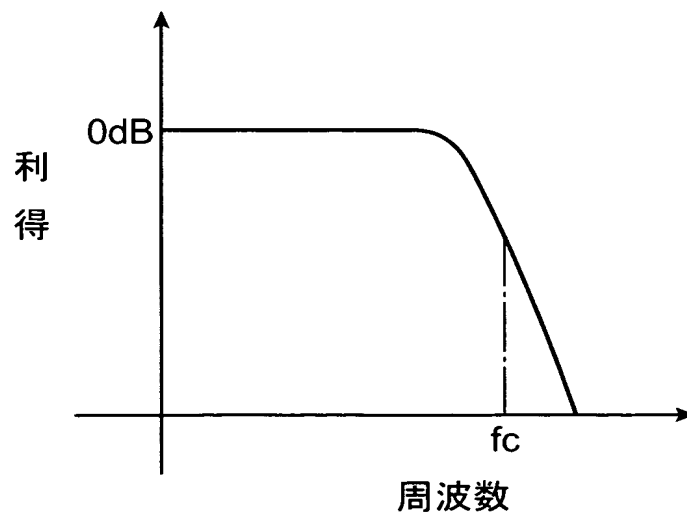
【図 3】



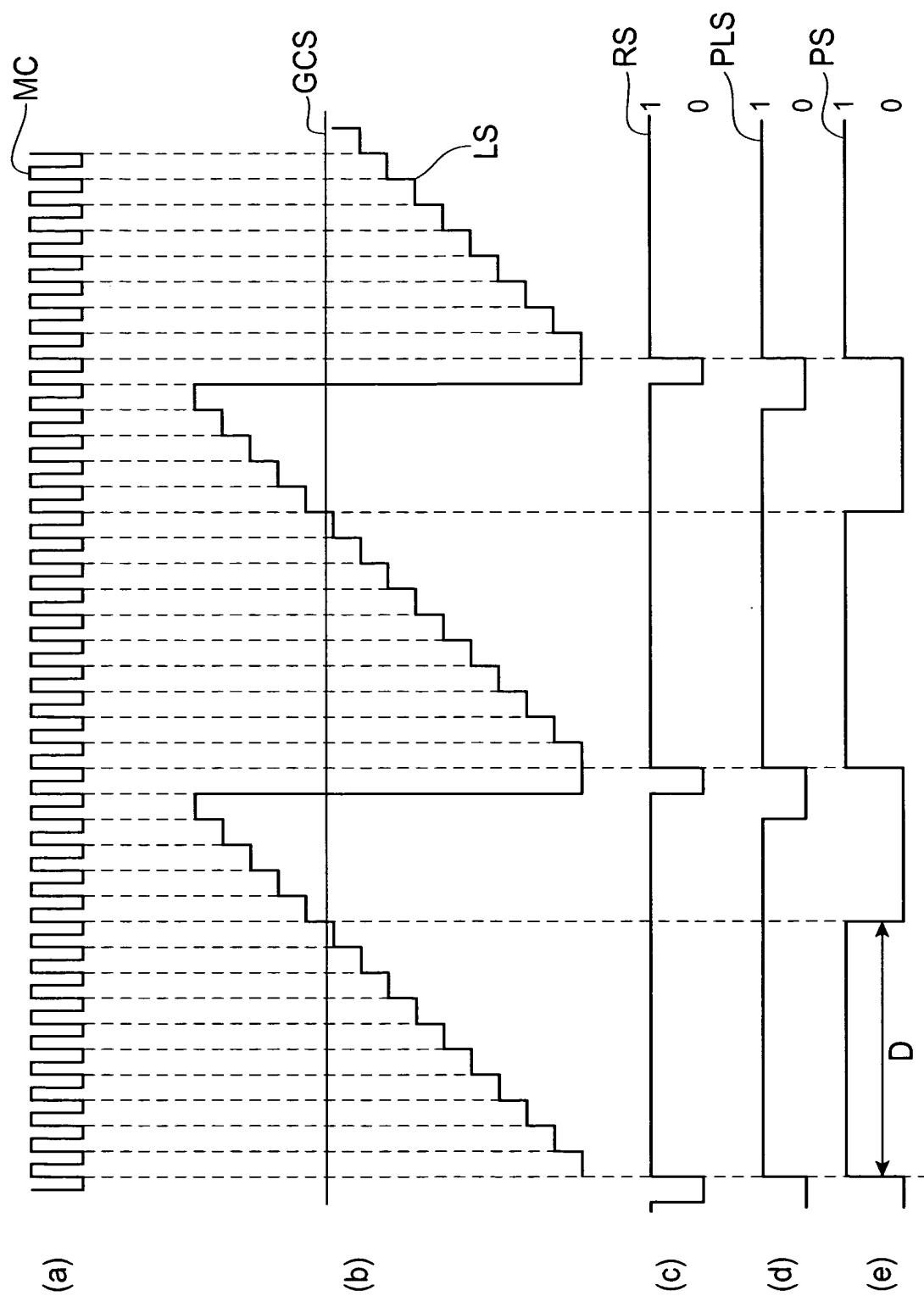
【図 4】



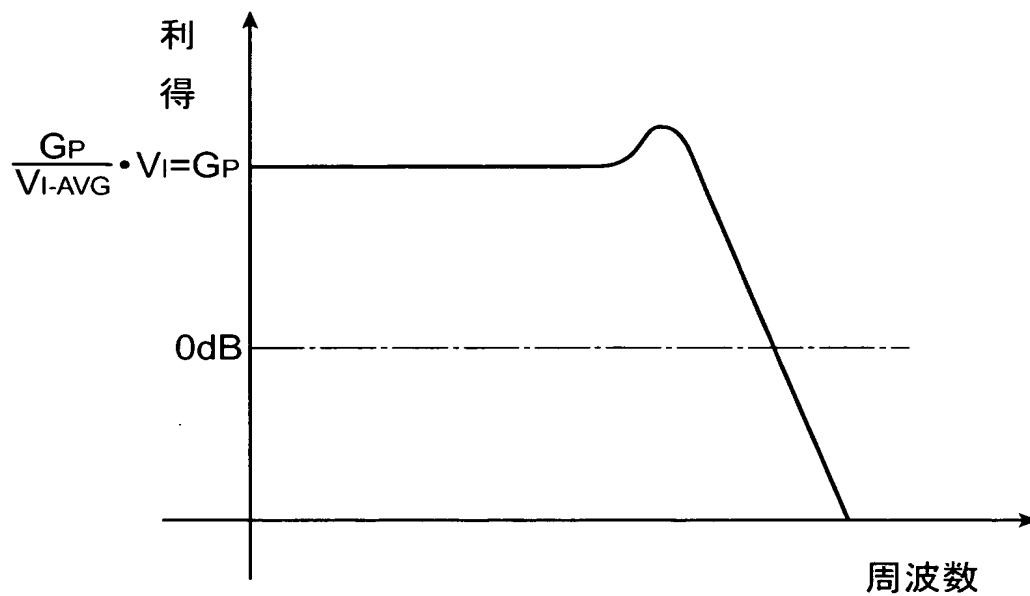
(b)



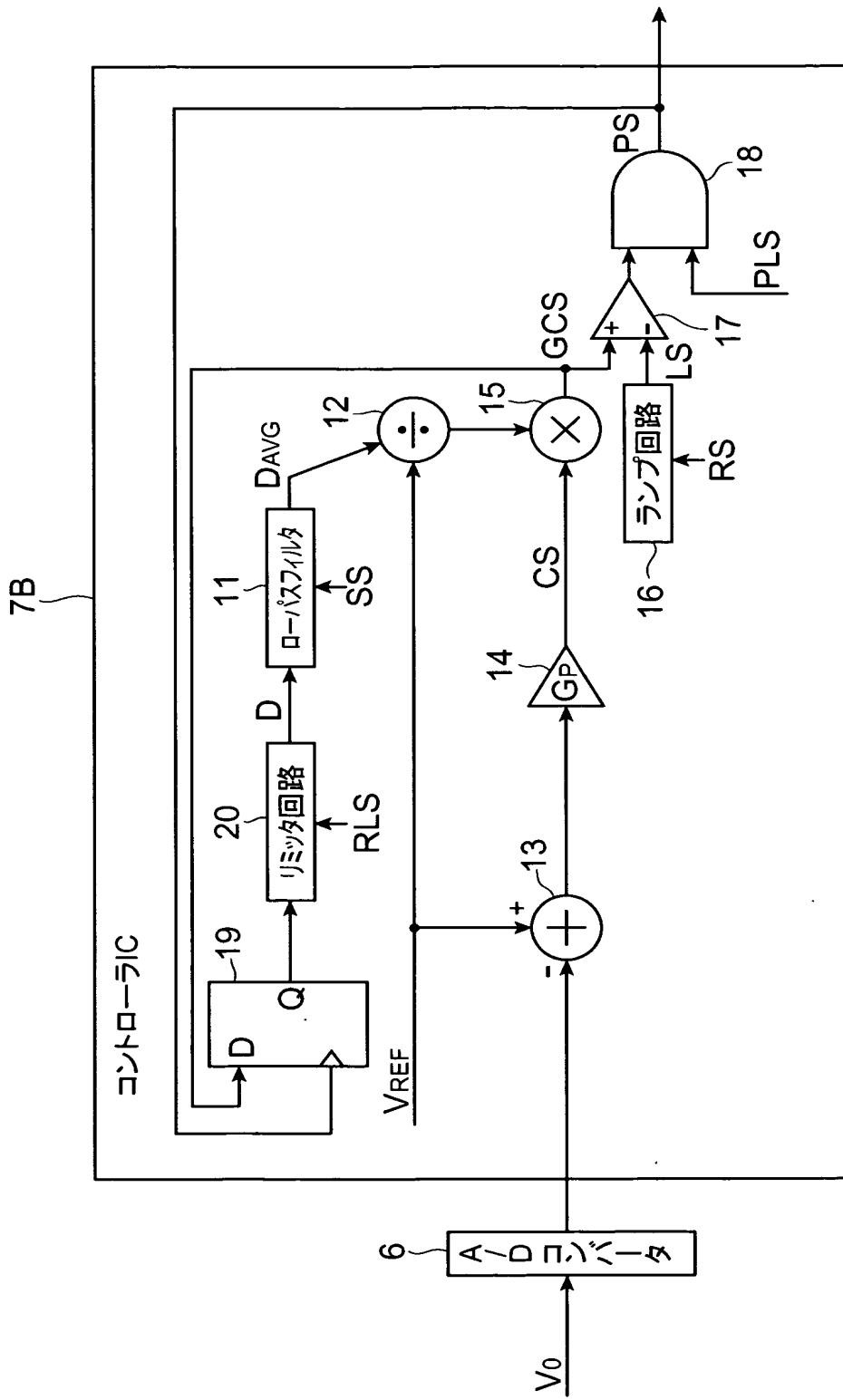
【図 5】



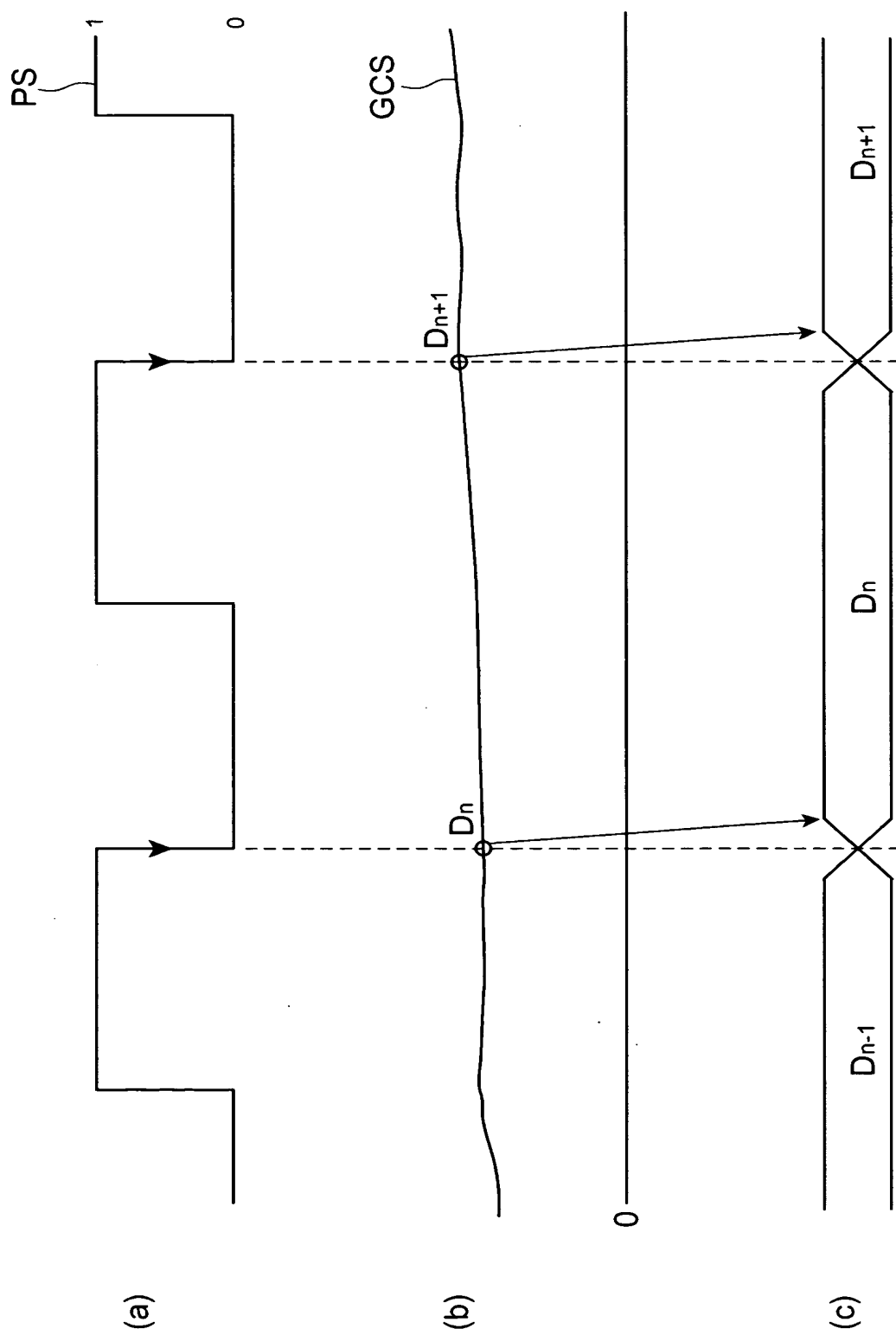
【図 6】



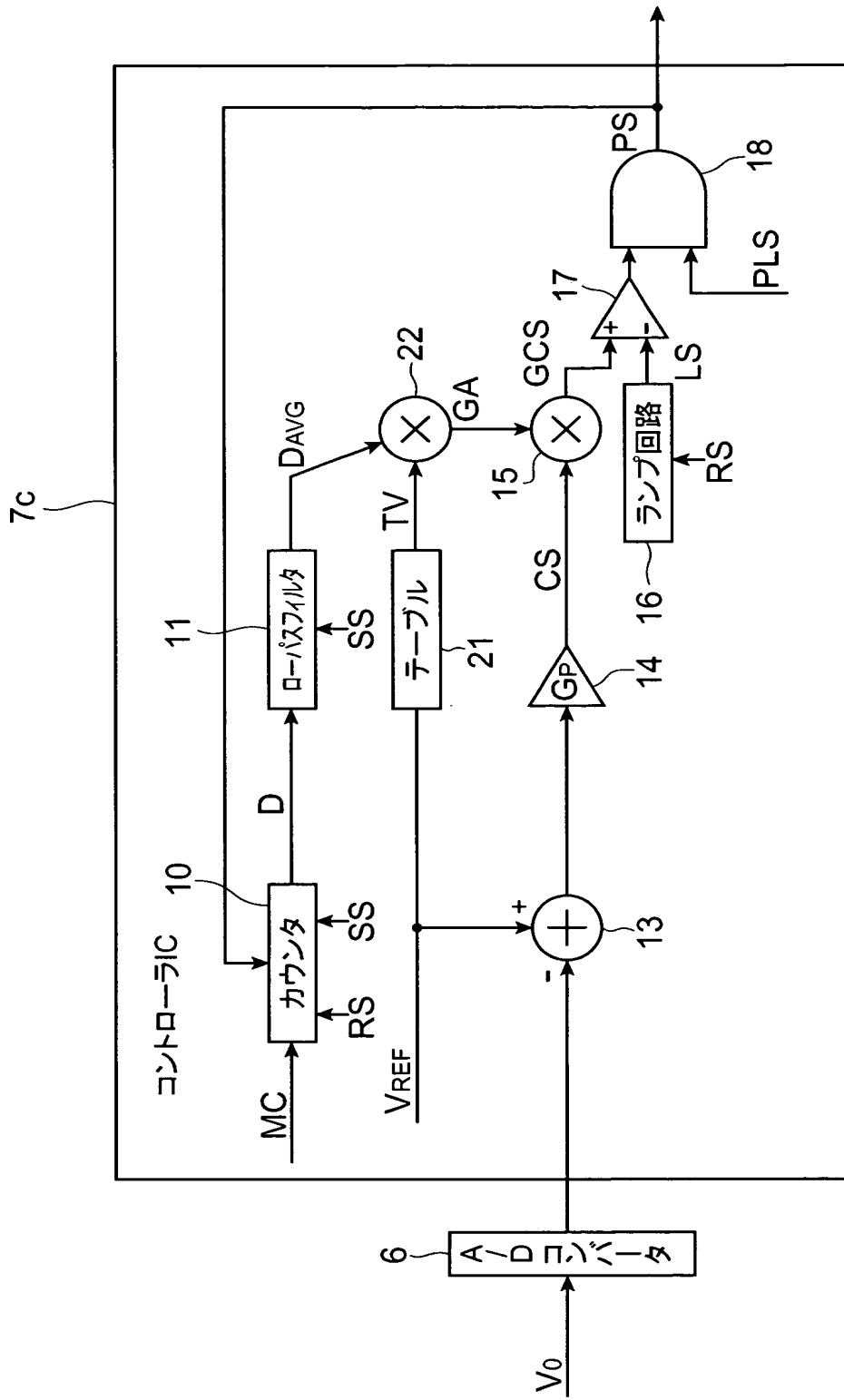
【図 7】



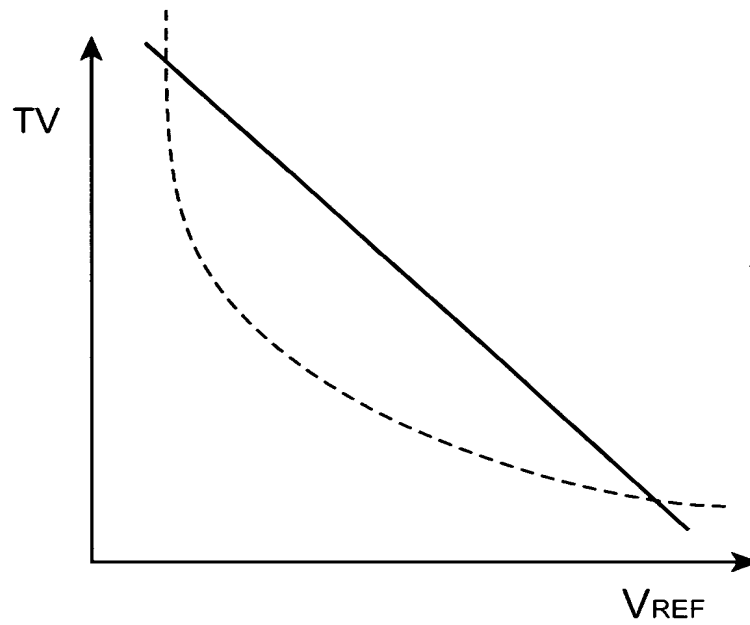
【図 8】



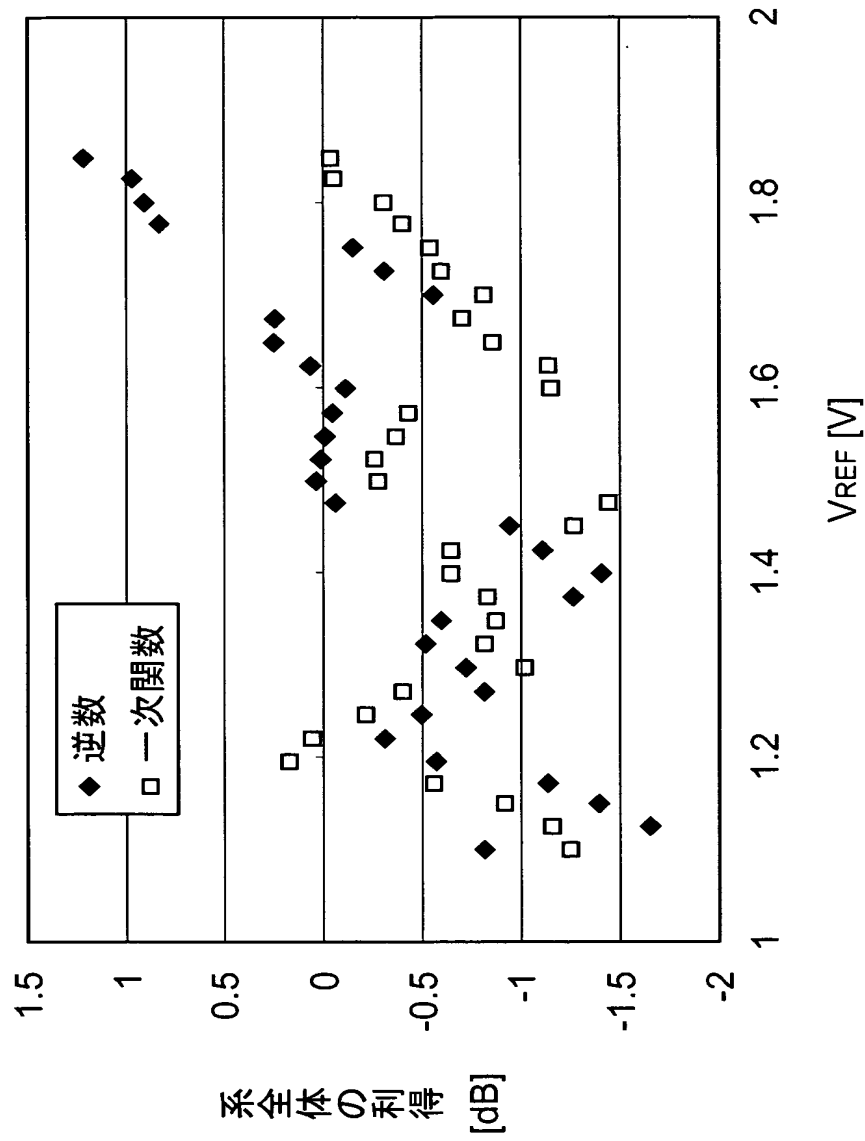
【図 9】



【図 1 0】



【図 11】



【書類名】 要約書

【要約】

【課題】 入力電圧が変化した場合でも系全体の利得を安定化するスイッチング電源装置用制御装置及びスイッチング電源装置を提供することを課題とする。

【解決手段】 スイッチング電源装置のスイッチング素子をスイッチング制御するための駆動信号 PS を生成する制御装置 7 A であって、スイッチング電源装置のスイッチング素子を制御するための駆動信号 PS の時比率 D を検出し、当該時比率に対応した信号を生成する時比率生成手段 10, 11 と、スイッチング電源装置における目標電圧 V_{REF} とスイッチング電源装置で検出された出力電圧 V_0 との差分値に基づいて制御信号 CS を生成する制御信号生成手段 13, 14 と、時比率に対応した信号と制御信号 CS との乗算値に対応した信号を生成する演算手段 15 と、演算手段 15 で生成した信号に基づいて駆動信号 PS を生成する駆動信号生成手段 16, 17 とを含むことを特徴とする。

【選択図】 図 2

特願 2 0 0 3 - 0 9 1 6 7 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社